

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

6/ Priority
Doc.
E. Hillis
0-25-00

4141
JCS25 U.S. PTO
09/535233
03/24/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1999年 3月26日

出願番号
Application Number:

平成11年特許願第084989号

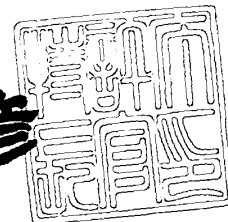
出願人
Applicant(s):

株式会社半導体エネルギー研究所

2000年 1月28日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特2000-3002431

【書類名】 特許願

【整理番号】 P004141-07

【提出日】 平成11年 3月26日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 角野 真也

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山内 幸夫

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 北角 英人

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特平 1 1－0 8 4 9 8 9

【物件名】	図面	1
【物件名】	要約書	1
【ブルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

第 1 の被膜と、

前記第 1 の被膜に接して設けられた第 2 の被膜と、

を有する半導体装置であって、

前記第 1 の被膜と前記第 2 の被膜の界面における不純物濃度は、

$2 \times 10^{16} \text{atoms/cm}^3$ 以下であることを特徴とする半導体装置。

【請求項 2】

第 1 の被膜と、

前記第 1 の被膜に接して設けられた第 2 の被膜と、

を有する半導体装置であって、

前記第 1 の被膜中の不純物濃度と前記第 2 の被膜中の不純物濃度と前記第 1 の被膜と前記第 2 の被膜の界面における不純物濃度は $2 \times 10^{16} \text{atoms/cm}^3$ 以下であることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、前記不純物は、1 族元素又は 2 族元素から選択された 1 元素又は複数元素からなることを特徴とする半導体装置。

【請求項 4】

請求項 1 又は請求項 2 において、前記不純物は、Na、K、Mg、Ca、Ba から選択された 1 元素又は複数元素からなることを特徴とする半導体装置。

【請求項 5】

請求項 1 又は請求項 2 において、前記第 1 の被膜と第 2 の被膜は、結晶質半導体膜と前記結晶質半導体膜に接する絶縁膜であることを特徴とする半導体装置。

【請求項 6】

請求項 1 又は請求項 2 において、前記第 1 の被膜と第 2 の被膜は、ゲート絶縁膜として機能する絶縁膜と前記絶縁膜に接するゲート配線であることを特徴とする半導体装置。

【請求項 7】

第 1 の被膜を形成する工程と、
前記第 1 の被膜表面の不純物を除去する工程と、
不純物が除去された第 1 の被膜に接して第 2 の被膜を形成する工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 7 において、前記不純物は、1 族元素又は 2 族元素から選択された 1 元素
又は複数元素からなることを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 7 において、前記不純物は、Na、K、Mg、Ca、Ba から選択された 1 元素又
は複数元素からなることを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 7 において、前記不純物をフッ素を含有する酸性溶液で除去することを特
徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板上に形成され結晶質半導体膜を用いた薄膜トランジスタ (Thin Film Transistor: TFT) 等の半導体装置及びその作製方法に関するものである。本発明の半導体装置は、薄膜トランジスタ (TFT) や MOS トランジスタ等の素子だけでなく、これら絶縁ゲート型トランジスタで構成された半導体回路 (マイクロプロセッサ、信号処理回路または高周波回路等) を有する液晶表示装置、EL 表示装置、EC 表示装置又はイメージセンサ等をも含むものである。加えて、本発明の半導体装置は、これらの表示装置を搭載したビデオカメラ、デジタルカメラ、プロジェクター、ゴーグルディスプレイ、カーナビゲーション、パーソナルコンピュータ又は携帯情報端末等の電子機器をも含むものである。

【0002】

【従来の技術】

現在、半導体膜を用いた半導体素子として薄膜トランジスタ (TFT) が各種

集積回路に用いられており、特にアクティブマトリクス型液晶表示装置のマトリクス回路のスイッチング素子として用いられている。更に、TFTの高移動度化に伴って、マトリクス回路を駆動するドライバ回路の素子としても用いられている。ドライバ回路に用いられる半導体膜としては、非晶質半導体膜よりも移動度の高い、結晶質半導体膜を用いることが必要である。この結晶質半導体膜（結晶性半導体膜ともいう）は多結晶半導体膜、ポリシリコン膜、微結晶半導体膜等と呼ばれている。

【0003】

TFTを評価する際、最も重要視されるのは信頼性である。信頼性の問題の中で最大のものは可動イオンであるアルカリ金属（1属元素）、おもにナトリウム（Na）の混入であった。Naが正に帯電し、被膜中をイオンとして動きまわることによりV_{th}が変動する現象として見出され、TFTの実用化を阻止していた。汚染不純物（単に不純物ともいう）としては、アルカリ金属（1属元素）やアルカリ土類金属（2属元素）、例えばナトリウム（Na）、カリウム（K）、マグネシウム（Mg）、カルシウム（Ca）、バリウム（Ba）が挙げられる。これら汚染不純物の低減が信頼性のあるTFT作製に必要不可欠であった。ところが汚染不純物は、大気やボンベなどの気相、ガラス基板、スパッタリング装置などの製造装置等、様々な汚染源からTFTに混入する。特に、ガラス基板からの汚染は深刻な問題であり、Naの組成を0.1%以下に低減したガラス基板を用いてもこの信頼性の問題は解決されなかった。そのため、基板上に窒化珪素膜等のブロッキング膜を形成して、ガラス基板に含有されている汚染不純物の拡散を防止し、信頼性の低下を防止していた。

【0004】

【発明が解決しようとする課題】

ところがTFT中の汚染不純物の濃度を分析した結果、TFTを構成する被膜界面の不純物濃度が $5 \times 10^{16} \text{ atoms/cm}^3 \sim 5 \times 10^{19} \text{ atoms/cm}^3$ と被膜中の不純物濃度（一般に $1 \times 10^{16} \text{ atoms/cm}^3$ 以下）に比べて高く、TFTの信頼性を低下させていることが判明した。特に半導体膜とそれに接する絶縁膜（ゲート絶縁膜として機能する絶縁膜（以下ゲート絶縁膜という）、ブロッキング膜として

機能する絶縁膜、又は層間絶縁膜）との界面、又はゲート絶縁膜とそれに接する被膜（半導体膜、ゲート配線（本明細書ではゲート電極を含むものとする）、層間絶縁膜など）との界面に不純物が存在することは、TFTの信頼性を損ねる大きな要因となった。

【0005】

なお、本明細書における不純物濃度は質量2次イオン分析（以下SIMS分析という）により深さ方向の分析を行って測定された濃度とする。SIMS分析は、1次イオンを試料に照射してその表面及び数Åの深さから放出される2次イオンの質量分析を行う方法であり、検出感度が高く、微小領域の分析が可能であるという特徴を有する。ただし、SIMS分析は1次イオンの電流密度を上げて表面をスパッタしながら分析を行うため、深さ方向に対する分解能には限界がある。従って被膜界面の元素濃度の測定を正確に行うことは困難であり、実際には第1の被膜とそれに接する第2の被膜を連続的にSIMS分析し、第1の被膜と第2の被膜の界面及びその近傍（数Å）に相当する元素濃度が測定される。本明細書においては、第1の被膜と第2の被膜の界面及びその近傍（数Å）に相当する元素濃度を、第1の被膜と第2の被膜界面の元素濃度としている。

【0006】

例えば、ゲート配線とゲート絶縁膜の界面にナトリウム（Na）が存在する例を図4～図6に示す。図4、図5はTFTのSIMS分析結果を示したもので、BT（Bias Temperature：電圧を加えながら加熱する）処理前のSIMS分析結果を図4に、BT処理後のSIMS分析結果を図5に示す。なお、図4、図5におけるNaの検出下限あるいはバックグラウンドレベルは約 $1 \times 10^{15} \text{ atoms/cm}^3$ である。

【0007】

図4（BT処理前）ではNaの存在を示すピークは1つだけ観測された。それはゲート配線とゲート絶縁膜の界面及びその近傍に相当する位置に見られるピークAである。ところがBT処理後は図5に示すようにNaの存在を示すピークが2つ観測された。1つのピークは図4（BT処理前）にも示されていたゲート配線とゲート絶縁膜の界面及びその近傍に相当する位置に見られるピークAである

が、もう1つのピークは図4（BT処理前）では観測されていなかったゲート絶縁膜と半導体膜の界面及びその近傍に相当する位置に見られるピークBである。このように図4、図5から、BT処理によりNaがゲート絶縁膜中を移動していることがわかった。その結果、nチャネル型TFT（図6（A）に示す）、Pチャネル型TFT（図6（B）に示す）共にBT処理前（実線）とBT処理後（破線）でID-VG特性に変化が見られた。これはTFTの信頼性を評価するパラメーターの1つであるしきい値電圧（ V_{th} ）の変動を示し、TFTの信頼性が損なわれている結果を示すものである。

【0008】

そこで、本発明は、TFTを構成する被膜中だけでなく、その被膜界面の不純物濃度をTFTの信頼性に影響を及ぼさない程度にまで低減することを課題とする。そしてTFTの信頼性の向上を図り、安価、大画面、高性能な半導体装置を形成することを課題とする。

【0009】

なお本発明の上記課題は、連続成膜されてない被膜界面に関する課題であって、連続成膜された被膜界面に関する課題ではない。なぜならば、連続成膜された被膜と被膜の界面には基本的に不純物が混入せず、被膜界面の不純物濃度を被膜中の不純物濃度と同程度に低濃度とすることが出来るからである。しかしながら連続成膜は連続成膜装置を用いて行わなければならない、容易にできることではない。本発明は連続成膜装置を用いず容易に被膜界面の不純物濃度を低減することを課題とする。更に、本発明は連続成膜することができない被膜界面の不純物濃度を低減することを課題とする。実際、非晶質半導体膜上に絶縁膜が存在するとアニールによる非晶質半導体膜の結晶化が困難なため、半導体膜上に絶縁膜がない状態で結晶化が行われている。従って、半導体膜とそれに接して形成される絶縁膜界面の不純物低減を目的として本発明を適用することができる。更に、ゲート絶縁膜とゲート配線は一般に連続成膜されておらず、絶縁膜とゲート配線界面の不純物低減を目的として本発明を適用することができる。

【0010】

【課題を解決するための手段】

上記課題を解決するために、本発明は、第1の被膜形成後、第1の被膜上に第2の被膜を形成する前に、第1の被膜表面の不純物を除去し、その後表面の不純物が除去された第1の被膜上に迅速に第2の被膜を形成することを特徴とする。換言すると、第1の被膜を形成する工程と、前記第1の被膜表面の不純物を除去する工程と、不純物が除去された第1の被膜に接して第2の被膜を形成する工程と、を有することを特徴とする。

【0011】

上記構成において、第1の被膜表面の不純物の除去はエッチング溶液としてフッ素を含有する酸性溶液を用い、第1の被膜表面を極薄く（5nm以下）エッチングすることにより行う。極薄くエッチングする手段としては、スピンの装置（スピンエッチャー）を用いて基板をスピンさせ、被膜表面に接触させたエッチング溶液を飛散させる手段（スピンエッチング、スピンエッチともいう）を用いることが有効である。

【0012】

フッ素を含有する酸性溶液としては、Naの組成が規格で0.5ppb以下、実際の分析では0.05ppb以下のフッ酸、希フッ酸、フッ化アンモニウム、バッファードフッ酸（フッ酸とフッ化アンモニウムの混合溶液、以下BHFという）、FPM（フッ酸と過酸化水素水の混合溶液）、LAL500等を用いることができる。このようにフッ素を含有する酸性溶液を用いて被膜表面の不純物を除去した場合、その被膜表面に微量のフッ素元素が存在していると考えられるが、特にTFT特性に与える影響は見られない。

【0013】

上記構成により作製された半導体装置の被膜界面における不純物濃度は前記被膜中の不純物濃度のノイズレベル内にあり、前記被膜中の不純物濃度とほぼ同じ濃度とみなすことができる。被膜中のナトリウム濃度はブロッキング膜により低く抑えられ、SIMS分析において $2 \times 10^{16} \text{atoms/cm}^3$ 以下、条件によってはノイズを考慮した現時点での検出下限以下である $1 \times 10^{16} \text{atoms/cm}^3$ 以下とすることができる。そして本発明により半導体装置の被膜界面における不純物濃度を被膜中の不純物濃度とほぼ同じ $2 \times 10^{16} \text{atoms/cm}^3$ 以下、条件によってはノ

イズを考慮した現時点での検出下限以下である $1 \times 10^{16} \text{atoms/cm}^3$ 以下とすることができる。なお、上記構成においてはフッ素を含有する酸性溶液により被膜表面の不純物を除去した場合を示したが、被膜表面の不純物を除去できる他の酸性溶液や有機溶剤を用いることもできる。

【0014】

従って、本発明の半導体装置は、第1の被膜と、前記第1の被膜に接して設けられた第2の被膜とを有し、前記第1の被膜と前記第2の被膜の界面における不純物濃度は $2 \times 10^{16} \text{atoms/cm}^3$ 以下であることを特徴とする。

【0015】

また、本発明の半導体装置は、第1の被膜と、前記第1の被膜に接して設けられた第2の被膜とを有し、前記第1の被膜中の不純物濃度と前記第2の被膜中の不純物濃度と前記第1の被膜と前記第2の被膜の界面における不純物濃度は $2 \times 10^{16} \text{atoms/cm}^3$ 以下であることを特徴とする。

【0016】

上記構成において、前記第1の被膜と第2の被膜は、結晶質半導体膜と前記結晶質半導体膜に接する絶縁膜であることを特徴とする。

【0017】

また、上記構成において、前記第1の被膜と第2の被膜は、ゲート絶縁膜として機能する絶縁膜と前記絶縁膜に接するゲート配線であることを特徴とする。

【0018】

ゲート絶縁膜とゲート配線界面の不純物除去を行った SIMS 分析結果の例を図7に示す。図7のゲート絶縁膜とゲート配線界面には、Na の存在を示すピーク A が確認されるが、その濃度は $1 \times 10^{16} \text{atoms/cm}^3 \sim 2 \times 10^{16} \text{atoms/cm}^3$ とかなり低減されていることがわかる。なお、図7における Na の検出下限あるいはバックグラウンドレベルは約 $2 \times 10^{14} \text{atoms/cm}^3$ である。

【0019】

本発明の構成とすると、被膜界面の不純物濃度を低減できるので、SIMS 分析における不純物濃度を $2 \times 10^{16} \text{atoms/cm}^3$ 以下とでき、条件によってはノイズを考慮した現時点での検出下限以下である $1 \times 10^{16} \text{atoms/cm}^3$ 以下

とすることができる。従って、TFT特性のばらつきを小さくできTFTの信頼性を向上させることができる。

【0020】

本構成において不純物（汚染不純物）とは、1族元素又は2族元素から選択された1元素又は複数元素からなるものを言う。特にNa、K、Mg、Ca、Baから選択された1元素又は複数元素からなるものを言う。特にNaを言う。

【0021】

また、本構成における被膜とは、プラズマCVD法、熱CVD法、減圧熱CVD法、蒸着法、スパッタリング法、熱酸化法、陽極酸化法等、あらゆる形成手段を用いて形成された被膜をいう。

【0022】

なお、基板としてガラス基板を用い、フッ素を含有する酸性溶液（フッ酸、希フッ酸など）の中に基板を浸して被膜表面をエッチング処理する場合には、わずかなではあるがガラス基板が腐食されてガラス基板中の不純物が酸性溶液中に混入し酸性溶液が汚染される。この汚染された酸性溶液にTFTを構成する被膜表面が接触すると、汚染の原因となり問題であった。そこで本発明はガラス基板を用いる場合、エッチングを酸性溶液の中に浸して行うのではなく、スピンの装置（スピンエッチャー）を用いて基板をスピンさせ、被膜表面に接触させた酸性溶液を飛散させる手段（スピンエッチング、スピンエッチともいう）を用いることによって被膜表面の不純物除去を行った。スピンエッチングを用いると汚染された酸性溶液をTFTを構成する被膜表面に接触させることなくエッチングできる。なおスピンエッチングを必ずしも用いなければならないわけではない。例えばエッチング溶液が一定方向に流れるような手段を用いることによって、被膜表面を汚染することなく被膜表面の不純物を除去することも可能である。また、ガラス基板の表面、裏面、側面の全てを耐酸性を有する被膜で覆ってしまうことで、酸性溶液による基板の腐食を防止し、基板中の汚染不純物により酸性溶液が汚染されることを防止することも可能である。

【0023】

【発明の実施の形態】

以下に本発明の実施形態を説明するが、特にこれらに限定されないことは勿論である。

【0024】

〔実施形態1〕

本発明の実施形態を図1～図3により説明する。ここでは、nチャネル型TFTとpチャネル型TFTを同一基板上に作製し、CMOS回路の基本構成であるインバータ回路を形成する実施形態について説明する。

【0025】

基板101はガラス基板、プラスチック基板、セラミックス基板などを用いることができる。また、酸化シリコン膜や窒化シリコン膜などの絶縁膜を表面に形成したシリコン基板やステンレスに代表される金属基板を用いても良い。勿論、石英基板を用いることも可能である。

【0026】

そして、基板101の少なくともTFTが形成される表面には、窒化珪素膜から成る下地膜102と、酸化珪素膜から成る下地膜103が形成される。これらの下地膜はプラズマCVD法やスパッタ法で形成されるものであり、基板101からTFTに有害な汚染不純物が半導体膜へ拡散することを防ぐためにブロッキング膜として設けてある。そのため、窒化珪素膜からなる下地膜102を20～100nm、代表的には50nmの厚さに形成し、さらに酸化珪素膜からなる下地膜103を50～500nm、代表的には150～200nmの厚さに形成している。

【0027】

勿論、下地膜を窒化珪素膜からなる下地膜102または、酸化珪素膜からなる下地膜103のどちらか一方のみで形成したり、窒化酸化珪素膜などの他の絶縁膜を形成しても良いが、本実施形態ではTFTの信頼性を考慮して2層構造とした。

【0028】

下地膜103に接して形成される半導体膜は、プラズマCVD法、減圧CVD法、スパッタ法などの成膜法で形成される非晶質半導体膜を、レーザー結晶化法

や熱処理による固相成長法で結晶化された、結晶質半導体膜を用いることが望ましい。また、前記成膜法で形成される微結晶半導体膜を適用することも可能である。ここで適用できる半導体材料は、シリコン (Si)、ゲルマニウム (Ge)、またシリコンゲルマニウム合金、炭化シリコンがあり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。

【0029】

非晶質半導体膜150は10~100nm、代表的には50nmの厚さに形成される。非晶質半導体膜150としては、非晶質半導体膜、微結晶を有する非晶質半導体膜、微結晶半導体膜を用いることができる。プラズマCVD法で形成される非晶質半導体膜には10~40atom%の割合で膜中に水素が含まれているので、結晶化の工程に先立って400~500℃の熱処理の工程を行い水素を膜中から脱離させて含有水素量を5atom%以下としておくことが望ましい。また、非晶質半導体膜をスパッタリング法や蒸着法などの他の方法で形成しても良いが、膜中にナトリウム等のアルカリ金属が混入しないように十分注意しなければならない。(図1(A))

【0030】

また、下地膜と非晶質半導体膜とは同じ成膜法で形成可能であるので、下地膜102と下地膜103と、さらに非晶質半導体膜150を連続形成することは好ましい。それぞれの膜を形成した後、その膜表面を大気雰囲気に触れさせずに次の膜を形成することにより、膜界面の不純物汚染を防ぐことができる。その結果、TFTの特性バラツキを発生させる要因の一つをなくすことができる。なお、下地膜と半導体膜を連続成膜しない場合は、下地膜表面の不純物を除去してから半導体膜を形成するとよい。

【0031】

非晶質半導体膜150を結晶化する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、触媒元素を用いた熱結晶化の技術により結晶質半導体膜を得ることもできる。さらに、触媒元素を用いた熱結晶化の技術により形成された結晶質半導体膜に対してゲッタリングの工程を加えて、前記触媒元素を除去すると優れたTFT特性を得ることができる。(図1(B))

【0032】

結晶化工程により形成された結晶質半導体膜151を、第1のフォトリソマスクを使用して、公知のパターニング法によりレジストマスクを形成し、ドライエッチング法により第1の島状半導体膜105と、第2の島状半導体膜104を形成した。(図1(C))

【0033】

次に、第1の島状半導体膜105表面及び第2の島状半導体膜104表面に存在する不純物155の除去を行った。不純物155の除去は、スピンドリフ装置(スピンドリフエッチャー)を用いて基板を600rpm、10秒スピンドリフさせ、被膜表面に滴下して接触させたフッ素を含有する酸性溶液を飛散させる手段(スピンドリフエッチング、スピンドリフエッチともいう)を用いて行った。ここではフッ素を含有する酸性溶液としてフッ酸とフッ化アンモニウムの混合比が体積比で1:50のバッファードフッ酸(BHF)を用いた。スピンドリフエッチングを用いることによって、極薄く被膜を除去することができ、かつ汚染された酸性溶液による被膜表面の汚染を防止することができる。なお、スピンドリフ装置の回転数や時間等の条件は、基板面積、エッチング溶液濃度、被膜材料などによって適宜最適な条件を見つければよい。また、エッチング溶液として1:50 BHFを用いたが、混合比の違うBHFやFPMなどの他のフッ素を含有する酸性溶液を用いることもできる。(図1(D))

【0034】

そして、不純物155が除去された第1の島状半導体膜105表面と第2の島状半導体膜104表面に、酸化珪素または窒化珪素を主成分とするゲート絶縁膜106を形成する。ゲート絶縁膜106は、プラズマCVD法やスパッタ法で形成し、その厚さを10~200nm、好ましくは50~150nmとして形成する。なお、不純物155の除去後速やかにゲート絶縁膜を形成することにより、半導体膜104、105とゲート絶縁膜106界面の汚染不純物の濃度を低く保つことができ、 $2 \times 10^{16} \text{atoms/cm}^3$ 以下とすることができる。(図1(E))

【0035】

次に、第2のフォトリソマスクにより、第2の島状半導体膜104と、第1の島状半導体膜105のチャネル形成領域を覆うレジストマスク107、108を形成した。このとき、配線を形成する領域にもレジストマスク109を形成しておいても良い。

【0036】

そして、n型を付与する不純物（注入不純物、添加不純物ともいう）元素を添加することにより第2の不純物領域を形成した。結晶質半導体材料に対してn型を付与する不純物元素としては、リン（P）、砒素（As）、アンチモン（Sb）などが知られているが、ここではリンを不純物元素として、フォスフィン（ PH_3 ）を用いたイオンドーピング法で行った。この工程では、ゲート絶縁膜106を通してその下の半導体膜にリンを添加するために、加速電圧は80keVと高めに設定した。半導体膜に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。そして、半導体膜にリンが添加された領域110、111が形成された。ここで形成された第2の不純物領域の一部は、LDD領域として機能するものである。（図1（F））

【0037】

次に、レジストマスクの除去を行った。レジストマスクを除去するためには、アルカリ性の市販の剥離液を用いても良いが、アッシング法を用いると効果的であった。アッシング法は酸化雰囲気中でプラズマを形成し、そこに硬化したレジストをさらして除去する方法であるが、その雰囲気中に酸素の他に水蒸気を添加しておくとも効果的であった。（図2（A））

【0038】

次に、ゲート絶縁膜106表面の不純物156の除去を行った。不純物の除去は、第1の島状半導体膜105表面及び第2の島状半導体膜104表面の不純物除去と同様に、フッ素を含有する酸性溶液としてBHFを用いてスピネッチングにより行い、極薄く被膜を除去することができ、かつ汚染された酸性溶液による被膜表面の汚染を防止した。ここでも、エッチング溶液としてFPMなどの他のフッ素を含有する酸性溶液を用いることもできる。（図2（B））

【0039】

そして、ゲート絶縁膜106表面の不純物156が除去されたゲート絶縁膜106に接して第1の導電膜112を形成した。第1の導電膜112は、Ta、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料を用いて形成する。第1の導電膜112の厚さは10～100nm、好ましくは150～400nmで形成すれば良い。なお、不純物156の除去後速やかに第1の導電膜112を形成することにより、ゲート絶縁膜106と第1の導電膜112界面の汚染不純物の濃度を低く保つことができ、 $2 \times 10^{16} \text{atoms} / \text{cm}^3$ 以下とすることができる。(図2(C))

【0040】

その他、第1の導電膜としてWMo、Ta₂N、MoTa、WSi_x (x=2.4<x<2.7) などの化合物材料を用いて形成することができる。

【0041】

Ta、Ti、Mo、Wなどの導電性材料は、AlやCuに比べ抵抗率が高いが、作製する回路の面積との関係で、 100cm^2 程度までならば問題なく使用できる。

【0042】

次に、第3のフォトマスクによりレジストマスク113、114、115、116を形成した。レジストマスク113は、pチャネル型TFTのゲート電極を形成するためのものであり、レジストマスク115、116は、ゲート配線およびゲートバスラインを形成するためのものであった。また、レジストマスク114は第1の島状半導体層の全面を覆って形成され、次の工程において、不純物が添加されるのを阻止するマスクとするために設けられた。

【0043】

第1の導電膜はドライエッチング法により不要な部分が除去され、第2のゲート電極117と、ゲート配線119と、ゲートバスライン120が形成された。ここで、エッチング後残渣が残っている場合にはアッシング処理すればよい。

【0044】

そして、レジストマスク113、114、115、116をそのまま残して、

pチャネル型TFTが形成される第2の島状半導体膜104の一部に、p型を付与する不純物元素を添加して第3の不純物領域を形成する工程を行った。p型を付与する不純物元素としては、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)、が知られているが、ここではボロンをその不純物元素として、ジボラン(B_2H_6)を用いてイオンドーピング法で添加した。ここでも加速電圧を80 keVとして、 $2 \times 10^{20} \text{ atoms/cm}^3$ の濃度にボロンを添加した。そして、図2(D)に示すようにボロンが高濃度に添加された第3の不純物領域121、122が形成された。

【0045】

図2(D)で設けられたレジストマスクを除去した後、第4のフォトマスクを用いてレジストマスク123、124、125を形成した。第4のフォトマスクはnチャネル型TFTのゲート電極を形成するためのものであり、ドライエッチング法により第1のゲート電極126が形成された。このとき第1のゲート電極126は、上面から見て第2の不純物領域110、111の一部とゲート絶縁膜を介して重なるように形成された。(図2(E))

【0046】

そして、レジストマスク123、124、125を完全に除去した後、第5のフォトマスクによりレジストマスク129、130、131を形成した。レジストマスク130は第1のゲート電極126を覆って、さらに上面から見て第2の不純物領域110、111の一部と重なる形で形成されたものであった。レジストマスク130は、LDD領域のオフセット量を決めるものであった。

【0047】

また、ここでレジストマスク130を使用してゲート絶縁膜の一部を除去して、第1の不純物領域が形成される半導体膜の表面を露出させておいても良い。このようにすると、次の工程で実施されるn型を付与する不純物元素を添加する工程を効率的に実施することができる。

【0048】

そして、n型を付与する不純物元素を添加して第1の不純物領域を形成する工程を行った。そして、ソース領域、ドレイン領域となる第1の不純物領域132

、133が形成された。ここでは、フォスフィン (PH_3) を用いたイオンドーピング法で行った。この工程でも、ゲート絶縁膜106を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。この領域のリンの濃度はn型を付与する第1の不純物元素を添加する工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{ atoms/cm}^3$ とした。(図3(A))

【0049】

そして、ゲート絶縁膜106、第1および第2のゲート電極126、117、ゲート配線127、ゲートバスライン128の表面に第1の層間絶縁膜134、135を形成した。第1の層間絶縁膜134は窒化珪素膜であり、50nmの厚さで形成した。また第1の層間絶縁膜135は酸化珪素膜であり、950nmの厚さに形成された。なお、第1の層間絶縁膜形成前に表面の不純物除去を行うことが望ましい。

【0050】

ここで形成された窒化珪素膜から成る第1の層間絶縁膜134は次の熱処理の工程を行うために必要なものであった。これは第1および第2のゲート電極126、117、ゲート配線127、ゲートバスライン128の表面が酸化することを防ぐために効果的であった。

【0051】

熱処理工程は、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラピットサーマルアニール法(RTA法)で行えば良い。レーザーアニール法は低い基板加熱温度で活性化することができるが、ゲート電極の下にかくれる領域まで活性化させることは困難であった。従って、ここでは熱アニール法を用いて活性化の工程を行った。加熱処理は、窒素雰囲気中において300~700℃、好ましくは350~550℃、ここでは450℃、2時間の処理を行った。

【0052】

この熱処理工程において、窒素雰囲気中に3～90%の水素を添加しておいても良い。また、熱処理の工程の後に、さらに3～100%の水素雰囲気中で150～500℃、好ましくは300～450℃で2～12時間の水素化処理の工程を行うと良い。または、150～500℃、好ましくは200～450℃の基板温度で水素プラズマ処理をしても良い。いずれにしても、水素が半導体膜中やその界面に残留する欠陥を補償することにより、TFTの特性を向上させることができた。

【0053】

第1の層間絶縁膜134、135はその後、第6のフォトマスクを用い、所定のレジストマスクを形成した後、エッチング処理によりそれぞれのTFTのソース領域と、ドレイン領域に達するコンタクトホールが形成された。そして、第2の導電膜を形成し、第7のフォトマスクを用いたパターンニングの工程によりソース電極、ドレイン電極136、137、138を形成した。図示していないが、本実施例ではこの第2の導電膜を、Ti膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造として用いた。

【0054】

以上の工程で、pチャネル型TFTはゲート電極に自己整合的（セルフアライン）に形成され、nチャネル型TFTはゲート電極に非自己整合的（ノンセルフアライン）に形成された。

【0055】

CMOS回路のnチャネル型TFTにはチャネル形成領域142、第1の不純物領域145、146、第2の不純物領域143、144が形成された。ここで、第2の不純物領域は、ゲート電極と重なる領域（GOLD領域）143a、144aと、ゲート電極と重ならない領域（LDD領域）143b、144bがそれぞれ形成された。第1の不純物領域145、146はソース領域、ドレイン領域となった。

【0056】

一方、pチャネル型TFTは、チャネル形成領域139、第3の不純物領域1

40、141が形成された。そして、第3の不純物領域140、141はソース領域、ドレイン領域となった。(図3(B))

【0057】

また、図3(C)はインバータ回路の上面図を示し、TFT部分のA-A'断面構造、ゲート配線部分のB-B'断面構造、ゲートバスライン部分のC-C'断面構造は、図3(B)と対応している。本発明において、ゲート電極とゲート配線とゲートバスラインとは、第1の導電層から形成されている。なお、本実施形態においてゲート電極とゲート配線とゲートバスラインを区別したが、それらをまとめてゲート配線ということもある。

【0058】

図1～図3では、nチャネル型TFTとpチャネル型TFTとを相補的に組み合わせるCMOS回路を例にして示したが、nチャネル型TFTを用いたNMOS回路や、液晶表示装置の画素マトリクス回路に本願発明を適用することもできる。

【0059】

本構成とすると、被膜界面の不純物濃度を低減できるので、SIMS分析における有害な不純物濃度を $2 \times 10^{16} \text{ atoms / cm}^3$ 以下、条件によってはノイズを考慮した現時点での検出下限以下である $1 \times 10^{16} \text{ atoms / cm}^3$ 以下とすることができる。従って、TFT特性のばらつきを小さくできTFTの信頼性を向上させることができる。

【0060】

また、上記本実施形態において結晶化工程の前に非晶質半導体膜へ不純物の添加を行ない、TFTのしきい値制御を行う工程を加えてもよい。しきい値制御を行う工程としては、例えば、非晶質半導体膜上に制御絶縁膜(膜厚100～200nm)を設けて、ボロンをしきい値制御が可能な濃度範囲(SIMS分析で $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms / cm}^3$)で添加し、その後、制御絶縁膜を除去する工程を採用できる。

【0061】

また、本実施形態においては、結晶質半導体膜のパターニングを結晶化工程の

後に行う例を示したが、特にこれに限定されず、例えば結晶化工程前、またはドーピング工程前に行ってもよい。

【0062】

また、本実施形態において、トップゲート型の例を示したが、ボトムゲート型に適用することもできる。

【0063】

また、本実施形態において、不純物の除去は島状半導体膜表面及びゲート絶縁膜表面に対して行ったが、それ以外の例えば下地膜表面や層間絶縁膜表面に対して適用してもよい。

【0064】

〔実施形態2〕

本発明の実施形態を図8、図9により説明する。ここでは、nチャネル型TFETとpチャネル型TFETを有するボトムゲート型のTFETを形成する実施形態について説明する。

【0065】

まず、基板801としてガラス基板（コーニング1737；歪点667℃）を用意した。次いで、基板からの不純物拡散を防止してTFETの電気特性を向上させるため下地膜として窒化酸化珪素膜850を100nm～300nmの膜厚に形成した。

【0066】

ここでは基板の片面だけに窒化酸化珪素膜を設けた例を示したが、基板の片面だけでなく両面に設けることは有効である。基板の両面に下地膜を設けることによって、半導体装置作製時に基板から拡散するナトリウム等不純物を完全にブロックすることができる。そして更に、下地膜で基板全面を覆うことは有効である。

【0067】

次いで、下地膜850上に積層構造（簡略化のため図示しない）のゲート配線（ゲート電極を含む）802を形成した。本実施例では、スパッタリング法を用いて窒化タンタル膜（膜厚50nm）とタンタル膜（膜厚250nm）を積層形

成し、公知のパターニング技術であるフォトリソグラフィ法を用いて積層構造を有するゲート配線（ゲート電極を含む）802を形成した。（図8（A））

【0068】

次に、下地膜850表面及びゲート配線802表面の不純物860の除去を行う。不純物860の除去は、スピニング装置（スピニングエッチャー）を用いて基板を600rpm、10秒スピニングさせ、被膜表面に滴下して接触させたフッ素を含有する酸性溶液を飛散させる手段（スピニングエッチング、スピニングエッチともいう）を用いて行った。ここではフッ素を含有する酸性溶液としてフッ酸とフッ化アンモニウムの混合比が体積比で1：50のバッファードフッ酸（BHF）を用いた。スピニングエッチングを用いることによって、極薄く被膜を除去することができ、かつ汚染された酸性溶液による被膜表面の汚染を防止することができる。なお、スピニング装置の回転数や時間等の条件は、基板面積、エッチング溶液濃度、被膜材料などによって適宜最適な条件を見つければよい。また、エッチング溶液として1：50 BHFを用いたが、混合比の違うBHFやFPMなどの他のフッ素を含有する酸性溶液を用いることもできる。（図8（B））

【0069】

下地膜850表面及びゲート配線802表面の不純物を除去した後、ゲート絶縁膜803、非晶質半導体膜804を順次大気開放しないで積層形成した。なお、不純物860の除去後速やかにゲート絶縁膜803、非晶質半導体膜804を形成することにより、ゲート配線802とゲート絶縁膜803界面の汚染不純物の濃度を低く保つことができ、 $2 \times 10^{16} \text{ atoms / cm}^3$ 以下とすることができる。

【0070】

ゲート絶縁膜803は、本実施形態では信頼性を考慮して窒化珪素膜803a（膜厚50nm）と酸化珪素膜803b（膜厚125nm）をプラズマCVD法により積層形成し、積層構造のゲート絶縁膜とした。本実施形態では二層の絶縁膜をゲート絶縁膜として採用しているが、単層または三層以上の積層構造としてもよい。また、本実施形態ではゲート絶縁膜上に非晶質半導体膜804として、膜厚54nmの非晶質珪素膜（アモルファスシリコン膜）をプラズマCVD法に

より形成した。なお、いずれの層の界面にも大気からの汚染物質が付着しないようにするため順次大気開放せずに積層形成した。その後、半導体膜の結晶化を妨げる非晶質珪素膜中の水素濃度を低減するための加熱処理（500℃、1時間）を行った。（図8（C））

【0071】

こうして図8（C）の状態が得られたら、非晶質半導体膜804に対して赤外光または紫外光の照射（レーザーアニール）による結晶化（レーザー結晶化）を行い結晶質半導体膜（結晶を含む半導体膜）805を形成した。結晶化技術として紫外光を用いる場合はエキシマレーザー光または紫外光ランプから発生する強光を用いればよく、赤外光を用いる場合は赤外線レーザー光または赤外線ランプから発生する強光を用いればよい。本実施形態ではKrFエキシマレーザー光を線状にビーム形成して照射した。なお、照射条件としては、パルス周波数が30Hz、オーバーラップ率は96%、レーザーエネルギー密度は100～500mJ/cm²であり本実施形態では360mJ/cm²とした。なお、レーザー結晶化の条件（レーザー光の波長、オーバーラップ率、照射強度、パルス幅、繰り返し周波数、照射時間等）は、非晶質半導体膜804の膜厚、基板温度等を考慮して実施者が適宜決定すればよい。なお、レーザー結晶化の条件によっては、半導体膜が熔融状態を経過して結晶化する場合や、半導体膜が熔融せずに固相状態、もしくは固相と液相の中間状態で結晶化する場合がある。この工程により非晶質半導体膜804は結晶化され、結晶質半導体膜805に変化する。本実施例において結晶質半導体膜とは多結晶珪素膜（ポリシリコン膜）である。なお本実施形態ではレーザー結晶化の技術を用いたが、触媒元素を用いた熱結晶化の技術を用いて結晶化を行ったも良い。

【0072】

次に、こうして形成された結晶質半導体膜805に不純物元素を添加する工程を行い、不純物の活性化処理を行なった後、水素雰囲気中で熱処理（350℃、1時間）を行い全体を水素化した。なお、本実施例では水素化は熱処理を用いて行ったがプラズマ水素処理を用いてもよい。その後、公知のパターニング技術により所望の形状を有する活性層として島状半導体膜を形成した。

【0073】

以上の工程を経て、Nチャネル型TFTは、ソース領域815、ドレイン領域816、不純物が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ で添加された低濃度不純物領域817、818、チャネル形成領域819が形成され、Pチャネル型TFTは、ソース領域821、ドレイン領域822、チャネル形成領域820が形成された。ここで、Nチャネル型TFTの低濃度不純物領域817、818は、上面から見てゲート電極と重なる領域（GOLD領域）とゲート領域と重ならない領域（LDD領域）がそれぞれ形成された。（図9（A））

【0074】

次に、島状半導体膜表面の不純物861の除去を行った。不純物861の除去は、下地膜850表面及びゲート配線802表面の不純物除去と同様、フッ素を含有する酸性溶液としてBHFを用いてスピネッチングにより行い、極薄く被膜を除去することができ、かつ汚染された酸性溶液による被膜表面の汚染を防止した。ここでも、エッチング溶液としてFPMなどの他のフッ素を含有する酸性溶液を用いることもできる。（図9（B））

【0075】

次いで、不純物が除去された島状半導体膜を覆って、プラズマCVD法により膜厚100nmの酸化珪素膜と、TEOSと酸素（ O_2 ）を原料ガスに用いた膜厚940nmの酸化珪素膜との積層構造の層間絶縁膜823を形成した。なお、不純物861の除去後速やかに層間絶縁膜823を形成することにより、島状半導体膜と層間絶縁膜823界面の汚染不純物の濃度を低く保つことができ、 $2 \times 10^{16} \text{ atoms/cm}^3$ 以下とすることができる。（図9（C））

【0076】

そして、コンタクトホールを形成してソース配線824、826、ドレイン配線825、827を形成して図9（D）に示す状態を得た。最後に水素雰囲気中で熱処理を行い、全体を水素化してNチャネル型TFT及びPチャネル型TFTを完成させた。この水素化はプラズマ水素処理を用いてもよい。

【0077】

なお、本実施形態においては、工程順序を変更し非晶質半導体膜のパターニン

グ後に結晶化処理を行ってもよい。

【0078】

また、結晶化工程の前に非晶質半導体膜へ不純物の添加を行ない、TFTのしきい値制御を行ってもよい。

【0079】

本構成とすると、被膜界面の不純物濃度を低減できるので、SIMS分析における有害な不純物濃度を $2 \times 10^{16} \text{atoms} / \text{cm}^3$ 以下、条件によってはノイズを考慮した現時点での検出下限以下である $1 \times 10^{16} \text{atoms} / \text{cm}^3$ 以下とすることができる。従って、TFT特性のばらつきを小さくできTFTの信頼性を向上させることができる。

【0080】

〔実施形態3〕 本実施形態では、上記実施形態1によって作製されたNチャネル型TFT及びPチャネル型TFTを備えた液晶表示装置の例を図10と図11に示す。本実施形態の半導体装置は、同一基板上にCMOS回路と画素マトリクス回路を備えている。

【0081】

図10には本実施形態の半導体装置の断面図を示す。本実施形態においても信頼性を考慮して基板1101上に設けられた下地膜1102上にTFTが設けられている。

【0082】

図10の左側に示すCMOS回路はインバータ回路とも呼ばれ、半導体回路を構成する基本回路である。このようなインバータ回路を組みあわせることで更に複雑なロジック回路を構成することができる。

【0083】

CMOS回路のPチャネル型TFTは、チャネル形成領域1154、第3の不純物領域1155、1156が形成されている。第3の不純物領域1155、1156には $2 \times 10^{20} \text{atoms/cm}^3$ の濃度でボロンが添加されている。

【0084】

一方、CMOS回路のNチャネル型TFTはチャネル形成領域1157、リン

が $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で添加された第1の不純物領域 1160、1161、リンが $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ で添加された第2の不純物領域 1158、1159 が形成されている。ここで、第2の不純物領域は、ゲート電極 1131 と重なる領域 (GOLD 領域) 1158a、1159a、ゲート電極 1131 と重ならない領域 (LDD 領域) 1158b、1159b がそれぞれ形成されている。

【0085】

画素マトリクス回路として設けられたNチャネル型TFTは、チャネル形成領域 1162、1163 と第1の不純物領域 1168、1169、1145 と第2の不純物領域 1164、1165、1166、1167 とオフセット領域 1180、1181、1182、1183 が形成されている。第1の不純物領域はリンが $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で添加された領域であり、第2の不純物領域は第1の不純物領域よりも不純物が低濃度な低濃度領域でありリンが $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度で添加された領域である。画素マトリクス回路はオフ電流のバラツキを低減させるためマルチゲート構造を採用しており、また漏れ電流を低減させるためオフセット構造を採用している。そのため第2の不純物領域はゲート電極と重ならない構造となっている。ドレイン側には、第2の不純物領域と同じ濃度でN型を付与する不純物元素が添加された、低濃度不純物領域 1170、ゲート絶縁膜 1106、保持容量電極 1171 とが形成され、画素マトリクス回路に設けられる保持容量が形成されている。

【0086】

そして、第1の層間絶縁膜 1147 (50nmの窒化珪素膜)、1148 (950nmの酸化珪素膜)、ソース電極 1149、1150、1151 とドレイン電極 1152、1153、パッシベーション膜 1401 (50nmの窒化珪素膜)、第2の層間絶縁膜 1402 (1000nmの有機樹脂膜)、第3の層間絶縁膜 1404、画素電極 1405 (100nmの酸化インジウム・スズ (ITO) 膜) が形成されている。

【0087】

第2の層間絶縁膜 1402 として用いる有機樹脂膜は、ポリイミド、アクリル

、ポリイミドアミド等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用いた。

【 0 0 8 8 】

図 1 1 は画素マトリクス回路の上面図であり、ほぼ 1 画素の上面図である。画素マトリクス回路には N チャンネル型 T F T が設けられている。ゲート配線 1 7 0 2 に連続して形成されるゲート電極 1 7 0 2 は、図示されていないゲート絶縁膜を介してその下の半導体層 1 7 0 1 と交差している。図示はしていないが、半導体層には、ソース領域、ドレイン領域、第 1 の不純物領域が形成されている。また、画素 T F T のドレイン側には、半導体層と、ゲート絶縁膜と、ゲート電極と同じ材料で形成された電極とから、保持容量 1 7 0 7 が形成されている。また、図 1 1 で示す A - A' 、および B - B' に沿った断面構造は、図 1 0 に示す画素マトリクス回路の断面図に対応している。

【 0 0 8 9 】

本実施例では、画素 T F T をダブルゲートの構造としているが、開口率を向上させるためシングルゲートの構造でも良いし、オフ電流のバラツキを低減するためトリプルゲートとしたマルチゲート構造にしても構わない。本実施例のアクティブマトリクス基板の構造は、本実施例の構造に限定されるものではない。本願発明の構造は、ゲート電極の構造と、ゲート絶縁膜を介して設けられた半導体層のソース領域と、ドレイン領域と、その他の不純物領域の構成に特徴があるので、それ以外の構成については実施者が適宜決定すれば良い。

【 0 0 9 0 】

また本実施形態では一例として透過型の L C D を作製したが特にこれに限定されることはない。例えば、画素電極の材料として反射性を有する金属材料を用い、画素電極のパターニングの変更、または幾つかの工程の追加／削除を適宜行えば反射型の L C D を作製することが可能である。

【 0 0 9 1 】

なお、本実施形態では実施形態 1 の作製方法を採用しているため、半導体膜とゲート絶縁膜 1160 の界面、及びゲート絶縁膜 1160 とゲート電極、ゲート配線、ゲートバスライン、保持容量電極の界面の不純物濃度（Na 濃度）が低減されている。それぞれの被膜界面の SIMS 分析における汚染不純物の濃度は $2 \times 10^{16} \text{ atoms / cm}^3$ 以下、条件によってはノイズを考慮した現時点での検出下限以下である $1 \times 10^{16} \text{ atoms / cm}^3$ 以下となっている。なお、実施形態 2 の作製方法と組み合わせたり、不純物濃度の低減が必要とされる他の被膜界面に不純物除去工程を適用することもできる。本実施形態により、特性のばらつきが小さく信頼性のある TFT を得ることができる。

【0092】

〔実施形態 4〕 本実施形態では、本願発明によって作製された液晶表示装置の例を図 12 に示す。画素 TFT（画素スイッチング素子）の作製方法やセル組工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0093】

図 12 は、本実施形態のアクティブマトリクス型液晶パネルの概略図である。図 12 に示すようにアクティブマトリクス基板と対向基板とが対向し、これらの基板間に液晶が挟まれている。アクティブマトリクス基板はガラス基板 1000 上に形成された画素マトリクス回路 1001、走査線駆動回路 1002、信号線駆動回路 1003 を有する。

【0094】

走査線駆動回路 1002、信号線駆動回路 1003 はそれぞれ走査線 1030、信号線 1040 によって画素マトリクス回路 1001 に接続されている。これら駆動回路 1002、1003 は CMOS 回路で主に構成されている。

【0095】

画素マトリクス回路 1001 の行ごとに走査線 1030 が形成され、列ごとに信号線 1040 が形成されている。走査線 1030、信号線 1040 の交差部近傍には、画素 TFT 810 が形成されている。画素 TFT 1010 のゲート電極は走査線 1030 に接続され、ソースは信号線 1040 に接続されている。更に、ドレインには画素電極 1060、保持容量 1070 が接続されている。

【 0 0 9 6 】

対向基板 1 0 8 0 はガラス基板全面に I T O 膜等の透明導電膜が形成されている。透明導電膜は画素マトリクス回路 1 0 0 1 の画素電極 1 0 6 0 に対する対向電極であり、画素電極、対向電極間に形成された電界によって液晶材料が駆動される。対向基板 1 0 8 0 には必要であれば配向膜や、ブラックマトリクスや、カラーフィルタが形成されている。

【 0 0 9 7 】

アクティブマトリクス基板側のガラス基板には F P C 1 0 3 1 を取り付ける面を利用して I C チップ 1 0 3 2、1 0 3 3 が取り付けられている。これらの I C チップ 1 0 3 2、1 0 3 3 はビデオ信号の処理回路、タイミングパルス発生回路、 γ 補正回路、メモリ回路、演算回路などの回路をシリコン基板上に形成して構成される。

【 0 0 9 8 】

また、本願発明を用いて作製できる液晶表示装置は透過型か反射型かは問わない。どちらを選択するのも実施者の自由である。この様に本願発明はあらゆるアクティブマトリクス型の電気光学装置（半導体装置）に対して適用することが可能である。

【 0 0 9 9 】

なお、本実施形態に示した半導体装置を作製するにあたって、実施形態 1 ～実施形態 3 のどの構成を採用しても良いし、各実施形態を自由に組み合わせて用いることが可能である。

【 0 1 0 0 】

〔実施形態 5〕

本願発明はアクティブマトリクス型 E L 表示装置に適用することも可能である。その例を図 1 3 に示す。

【 0 1 0 1 】

図 1 3 はアクティブマトリクス型 E L 表示装置の回路図である。8 1 は表示領域を表わしており、その周辺には X 方向周辺駆動回路 8 2、Y 方向周辺駆動回路 8 3 が設けられている。また、表示領域 8 1 の各画素は、スイッチ用 T F T 8 4、

コンデンサ 85、電流制御用 T F T 86、有機 E L 素子 87 を有し、スイッチ用 T F T 84 に X 方向信号線 88a (または 88b)、Y 方向信号線 80a (または 80b、80c) が接続される。また、電流制御用 T F T 86 には、電源線 89a、89b が接続される。

【0102】

なお、本実施形態のアクティブマトリクス型 E L 表示装置に対して実施形態 1 ~ 3 のいずれの構成を組み合わせても良い。

【0103】

〔実施形態 6〕 本願発明は従来の I C 技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化された R I S C プロセッサ、A S I C プロセッサ等のマイクロプロセッサに適用しても良いし、液晶用ドライバー回路 (D/A コンバータ、 γ 補正回路、信号分割回路等) に代表される信号処理回路や携帯機器 (携帯電話、P H S、モバイルコンピュータ) 用の高周波回路に適用しても良い。

【0104】

また、マイクロプロセッサ等の半導体回路は様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両 (自動車や電車等) の制御用コンピュータなども挙げられる。本願発明はその様な半導体装置に対しても適用可能である。

【0105】

〔実施形態 7〕

本発明を実施して形成された C M O S 回路や画素マトリクス回路は様々な電気光学装置 (アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 E L ディスプレイ、アクティブマトリクス型 E C ディスプレイ) に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0106】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター

(リア型またはフロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図14に示す。

【0107】

図14(A)は携帯電話であり、本体3001、音声出力部3002、音声入力部3003、表示装置3004、操作スイッチ3005、アンテナ3006で構成される。本願発明を音声出力部3002、音声入力部3003、表示装置3004やその他の信号制御回路に適用することができる。

【0108】

図14(B)はビデオカメラであり、本体3101、表示装置3102、音声入力部3103、操作スイッチ3104、バッテリー3105、受像部3106で構成される。本願発明を表示装置3102、音声入力部3103やその他の信号制御回路に適用することができる。

【0109】

図14(C)はモバイルコンピュータ(モービルコンピュータ)であり、本体3201、カメラ部3202、受像部3203、操作スイッチ3204、表示装置3205で構成される。本願発明は表示装置3205やその他の信号制御回路に適用できる。

【0110】

図14(D)はゴーグル型ディスプレイであり、本体3301、表示装置3302、アーム部3303で構成される。本発明は表示装置3302やその他の信号制御回路に適用することができる。

【0111】

図14(E)はリア型プロジェクターであり、本体3401、光源3402、表示装置3403、偏光ビームスプリッタ3404、リフレクター3405、3406、スクリーン3407で構成される。本発明は表示装置3403やその他の信号制御回路に適用することができる。

【0112】

図 14 (F) はフロント型プロジェクターであり、本体 3501、光源 3502、表示装置 3503、光学系 3504、スクリーン 3505 で構成される。本発明は表示装置 3502 やその他の信号制御回路に適用することができる。

【0113】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。なお、本実施形態の電子機器は実施形態 1 ～ 6 どのような組み合わせからなる構成を用いても実現することができる。

【0114】

【発明の効果】

本発明の構成とすると、TFT を構成する被膜中の不純物濃度だけでなく被膜界面の不純物濃度を低減できるので、TFT 特性のばらつきを小さくでき TFT の信頼性を向上させることができる。

【図面の簡単な説明】

【図 1】 実施形態 1 の TFT の作製工程を示す図

【図 2】 実施形態 1 の TFT の作製工程を示す図

【図 3】 実施形態 1 の TFT の作製工程を示す図

【図 4】 従来の SIMS 分析データの一例を示す図

【図 5】 従来の SIMS 分析データの一例を示す図

【図 6】 従来の ID-VG データの一例を示す図

【図 7】 SIMS 分析データの一例を示す図

【図 8】 実施形態 2 の TFT の作製工程を示す図

【図 9】 実施形態 2 の TFT の作製工程を示す図

【図 10】 実施形態 3 の CMOS 回路と画素マトリクス回路の断面図

【図 11】 実施形態 3 の画素マトリクス回路の上面図

【図 12】 実施形態 4 のアクティブマトリクス基板の斜視図

【図 13】 実施形態 5 の EL パネル回路図

【図 14】 実施形態 7 のいろいろな半導体装置を示す図

【符号の説明】

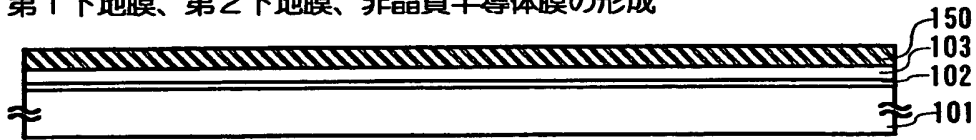
101 基板

- 1 0 2 下地膜
- 1 0 3 下地膜
- 1 0 4 島状半導体膜
- 1 0 5 島状半導体膜
- 1 5 5 T F T に有害な不純物

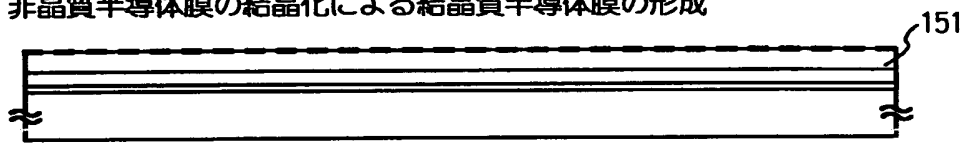
【書類名】 図面

【図 1】

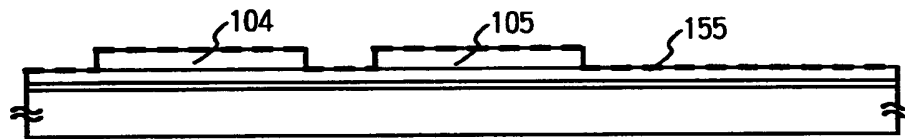
(A) 第 1 下地膜、第 2 下地膜、非晶質半導体膜の形成



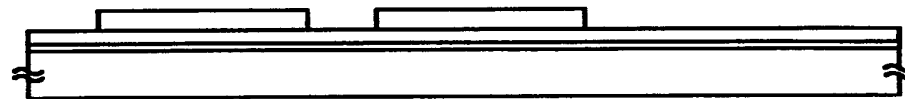
(B) 非晶質半導体膜の結晶化による結晶質半導体膜の形成



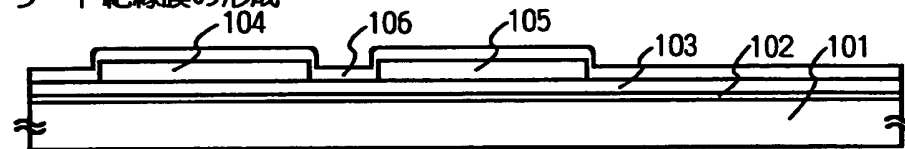
(C) 結晶質半導体膜のパターニング



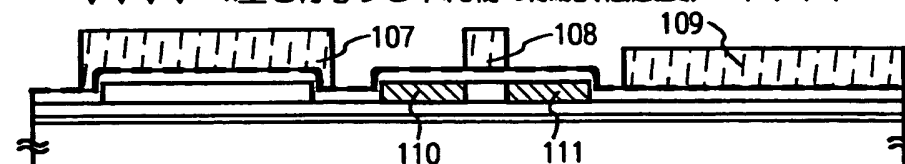
(D) 結晶質半導体膜表面の不純物除去



(E) ゲート絶縁膜の形成

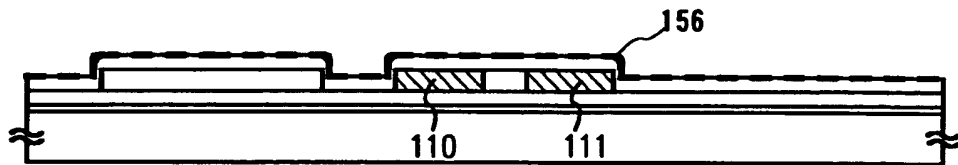


(F) ↓ ↓ ↓ ↓ n型を付与する不純物の添加(低濃度) ↓ ↓ ↓ ↓



【図 2】

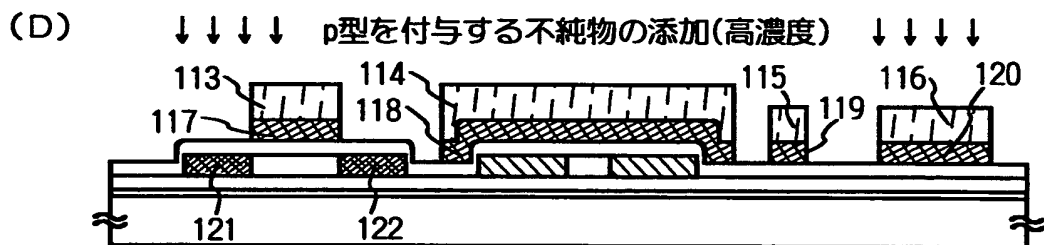
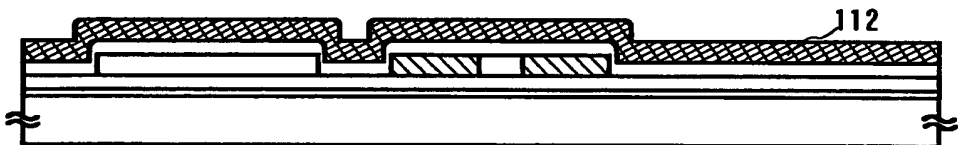
(A) レジストマスクの除去



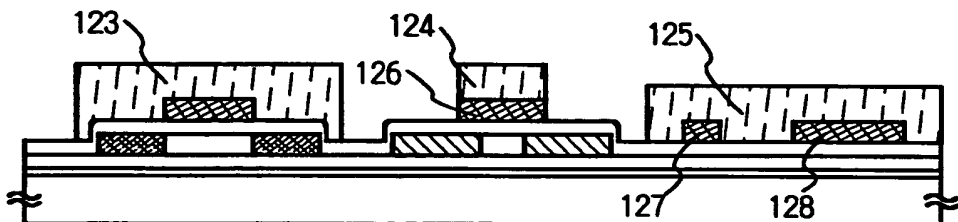
(B) 絶縁膜表面の不純物除去



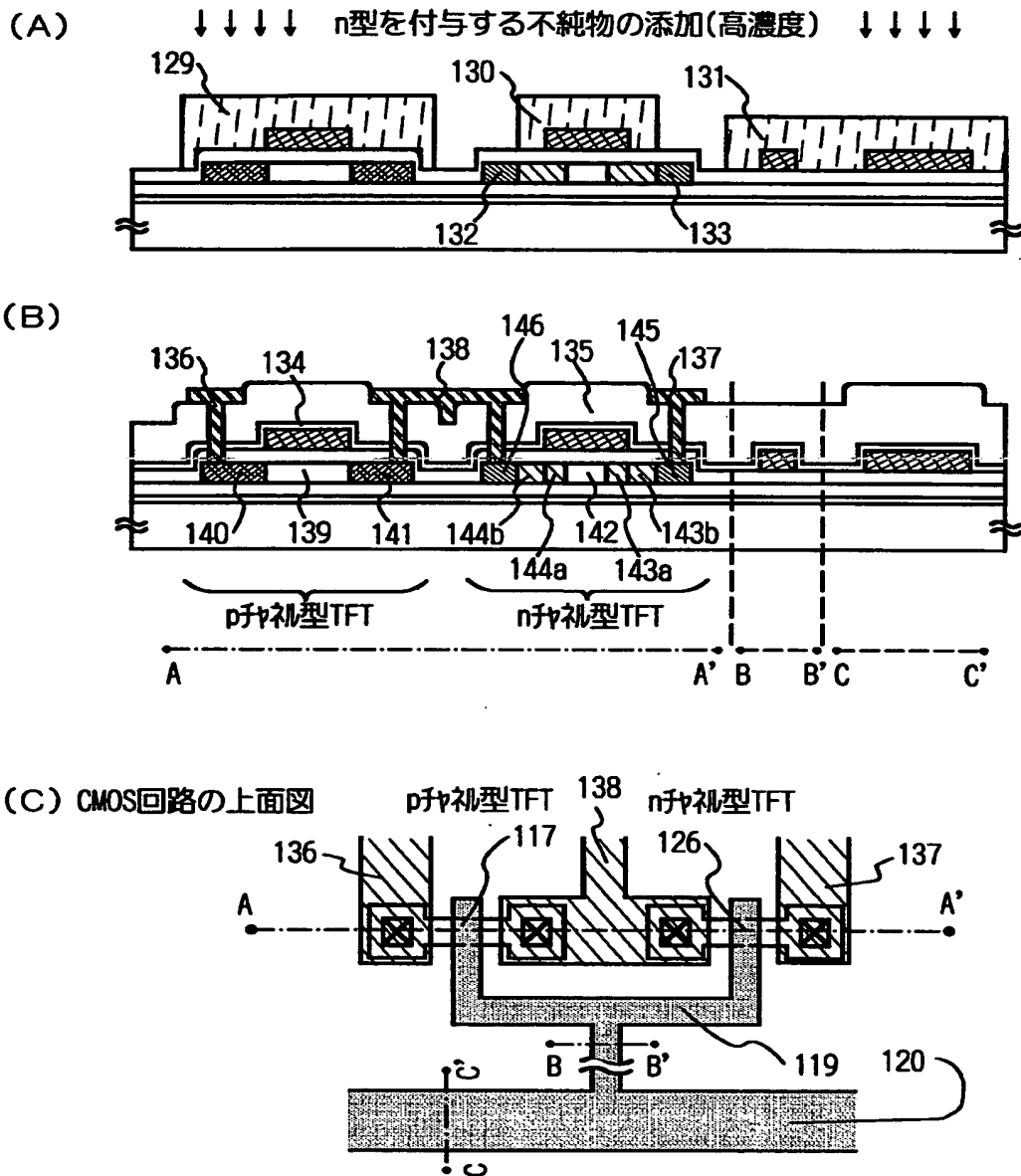
(C) 導電膜の形成



(E)

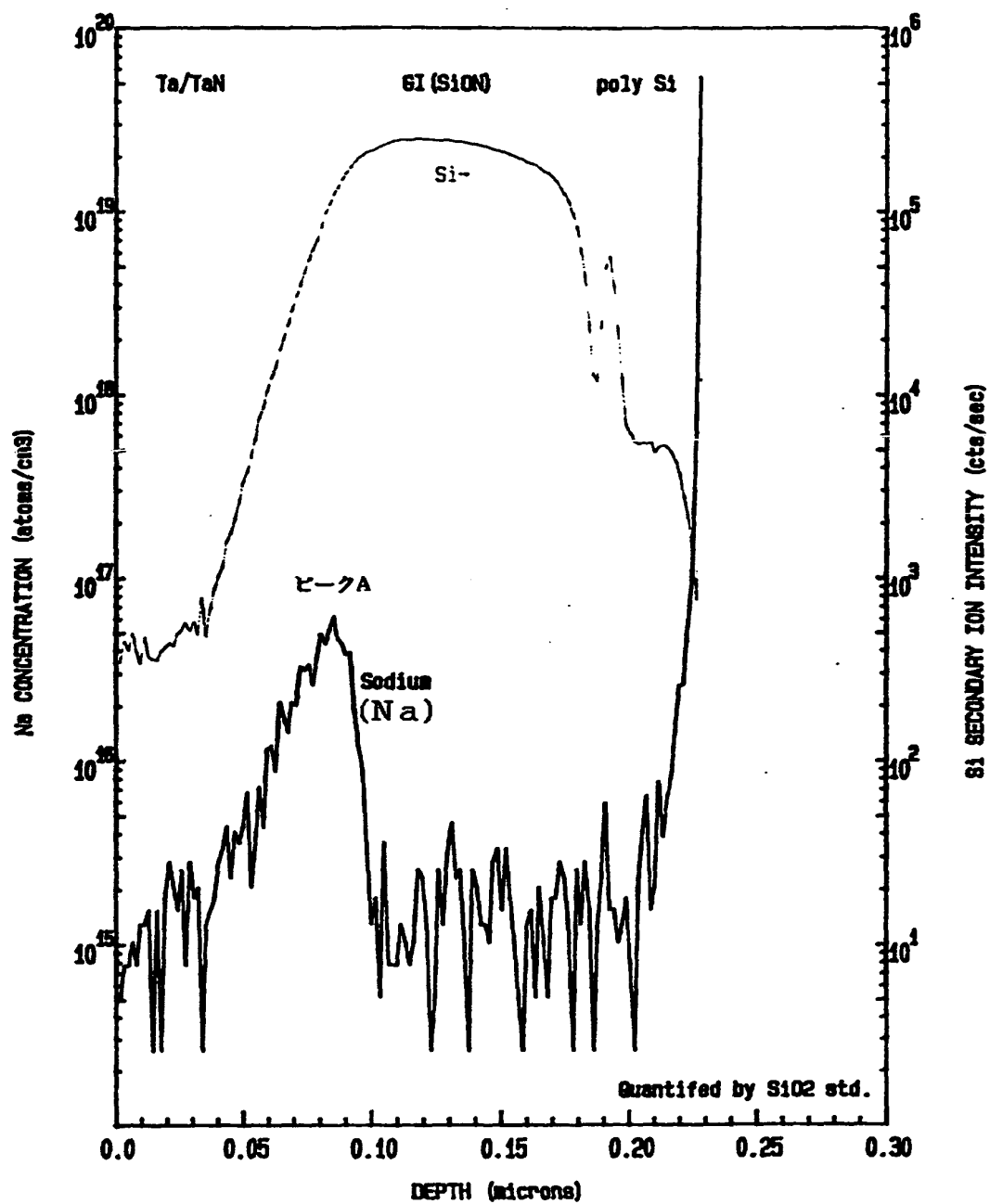


【図3】

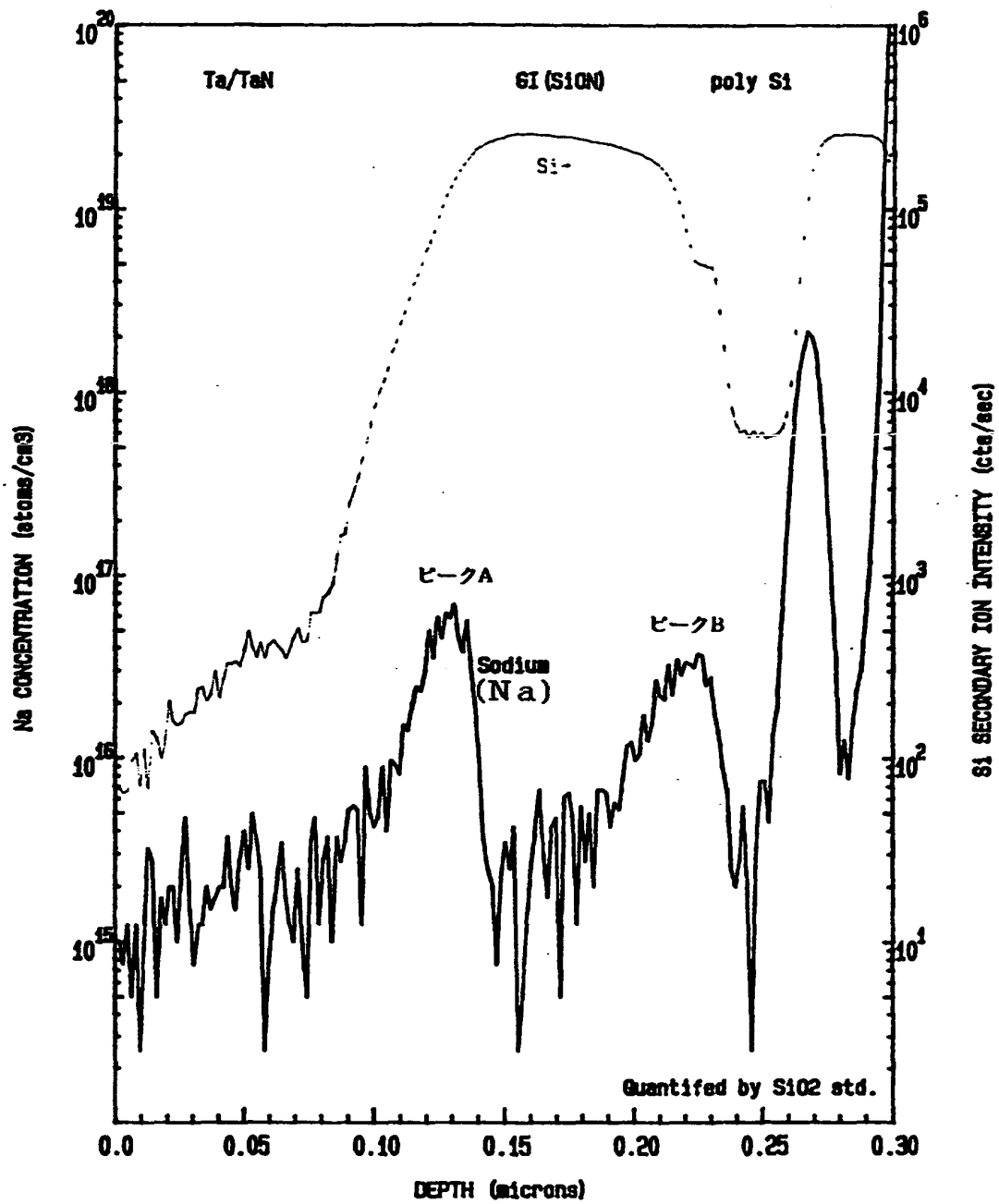


129、130、131:レジスタマスク、134:第1の層間絶縁膜(SiN)、
 135:第1の層間絶縁膜(SiO₂)、136、137:ソース電極、138:ドレイン電極、
 139、142:チャネル形成領域、140:第3の不純物領域(ソース)、
 141:第3の不純物領域(ドレイン)、143、144:第2の不純物領域(LDD)、
 145:第1の不純物領域、146:第1の不純物領域(ドレイン)

【図4】

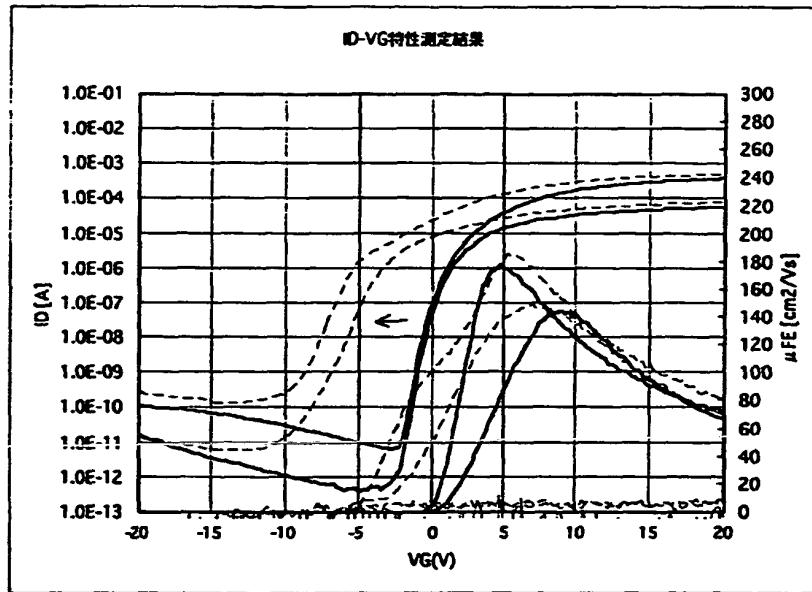


【図 5】

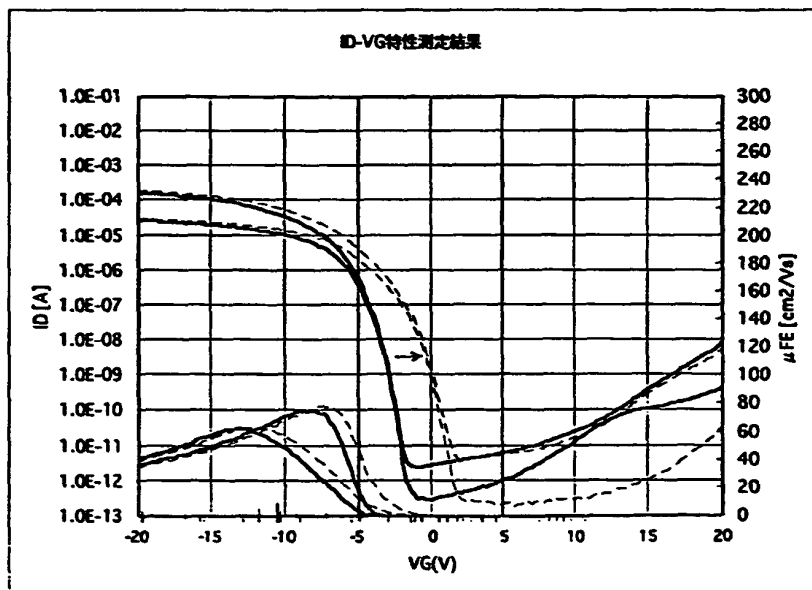


【図 6】

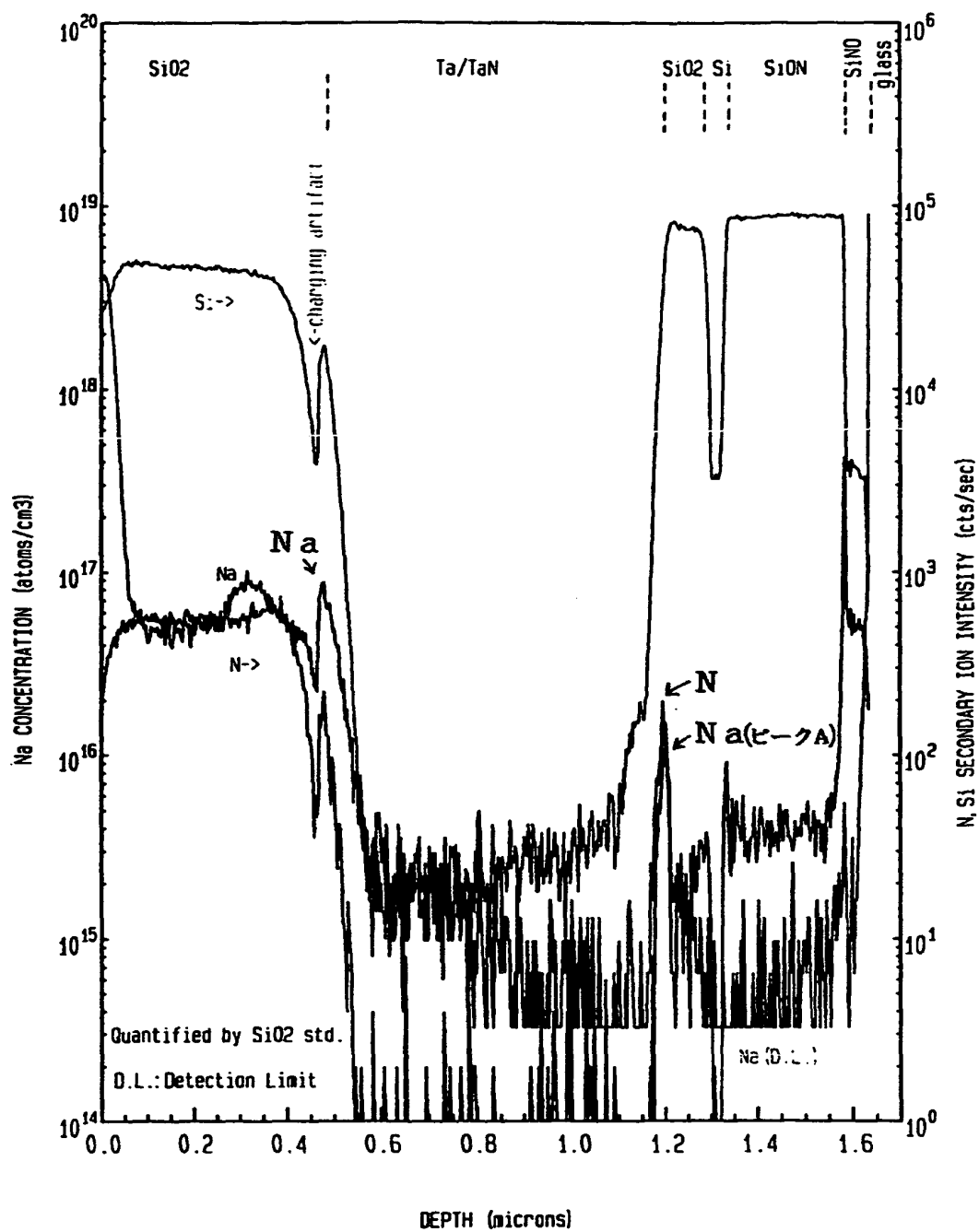
(A)



(B)

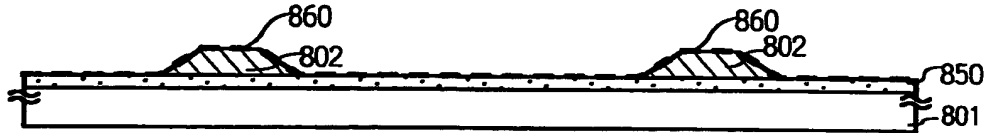


【図 7】

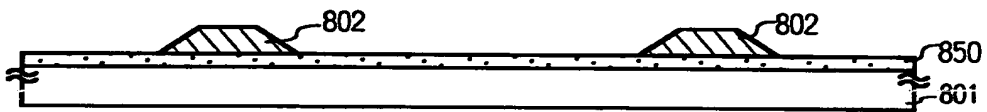


【図 8】

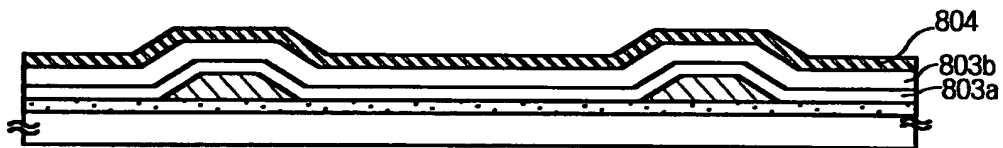
(A) 下地膜、ゲートの形成



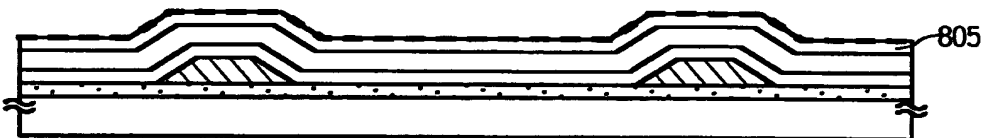
(B) 下地膜表面、ゲート表面の不純物除去



(C) ゲート絶縁膜、半導体膜の形成



(D) 結晶化

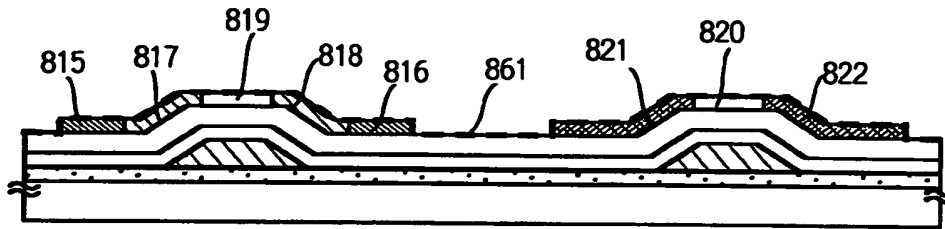


N型TFT

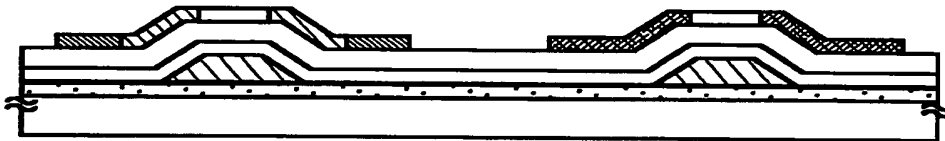
P型TFT

【図 9】

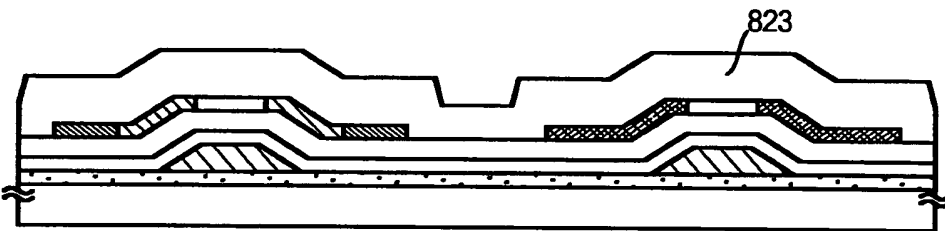
(A) ドーピング、活性化及びパターニング



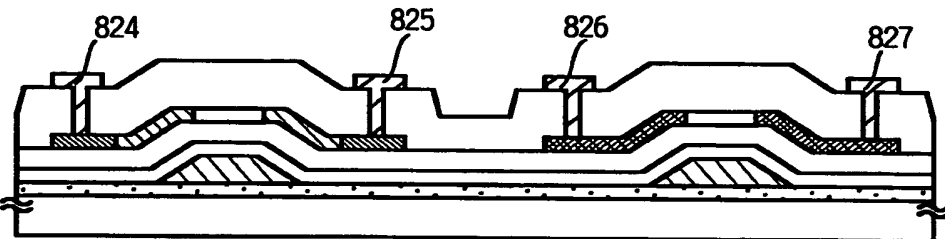
(B) 不純物除去



(C) 層間絶縁膜の形成



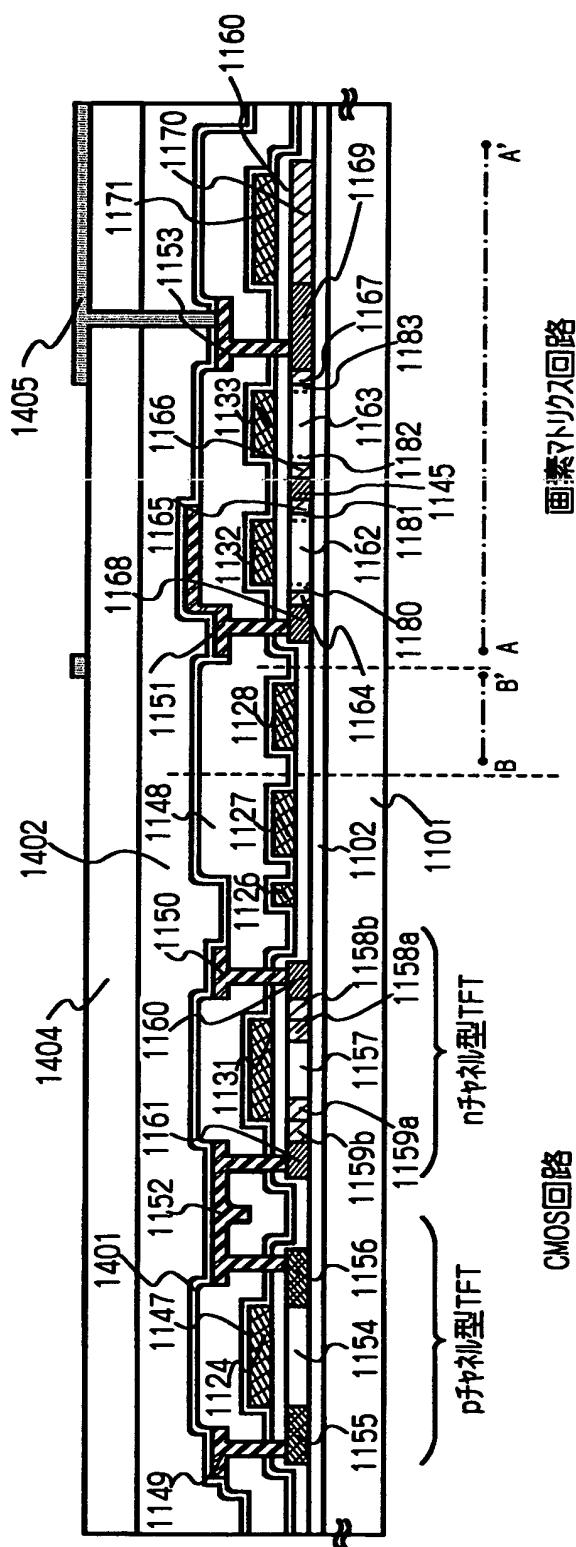
(D)



N⁺型TFT

P⁺型TFT

【図 10】



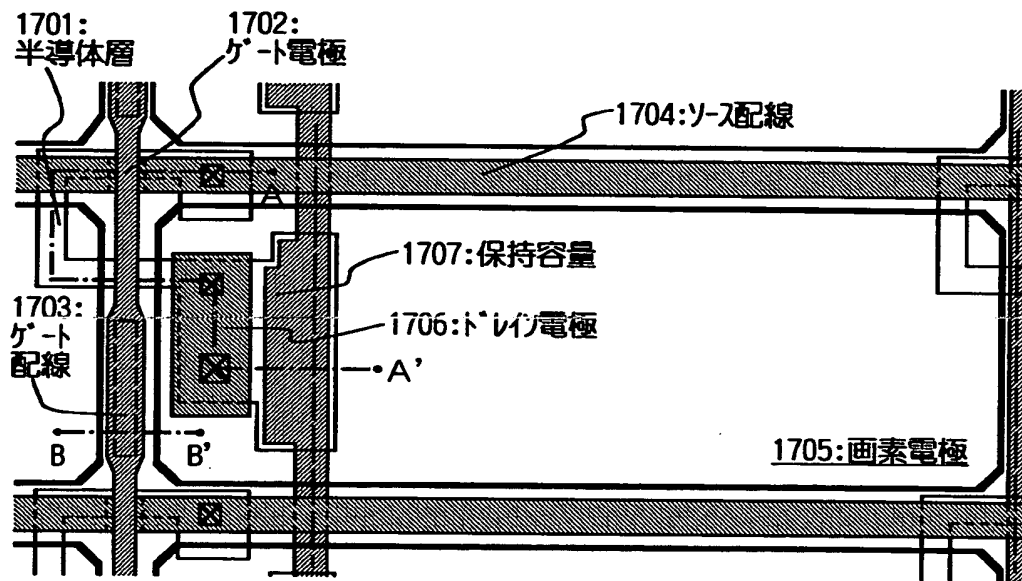
CMOS回路

画素トリクス回路

1101: 基板、1102: 下地膜、1106: ゲート絶縁膜、
1124、1131~1133: ゲート電極、1126: ゲート配線、1127、1128: ゲートパライ、
1147: 第1の層間絶縁膜(SiN)、1148 第1の層間絶縁膜(SiO₂)、1149~1151: ソース電極、1152、1153: ドレイン電極、
1154、1157、1162、1163: 井形成領域、1155: 第3の不純物領域(シリス)、1156: 第3の不純物領域(ドレイン)、
1158、1159、1164~1167: 第2の不純物領域(LDD)、1158、1168: 第1の不純物領域(シリス)、
1159、1169: 第1の不純物領域(ドレイン)、1170: 低濃度不純物領域、1171: 保持容量電極、
1401: パッシベーション膜、1402: 第2の層間絶縁膜、1404: 第3の層間絶縁膜、1405: 画素電極、
1180、1181、1182、1183: オセット領域

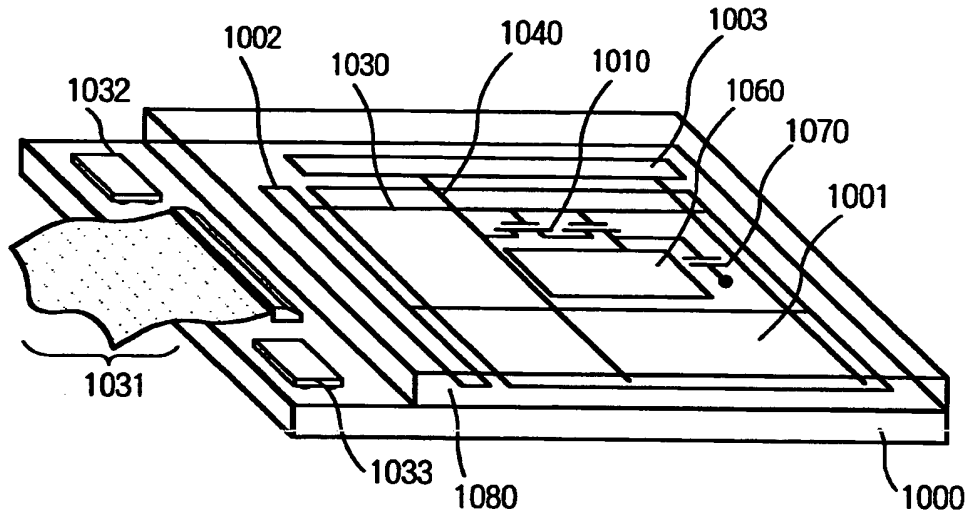
【図 1 1】

【図】



画素マトリクス回路上面図

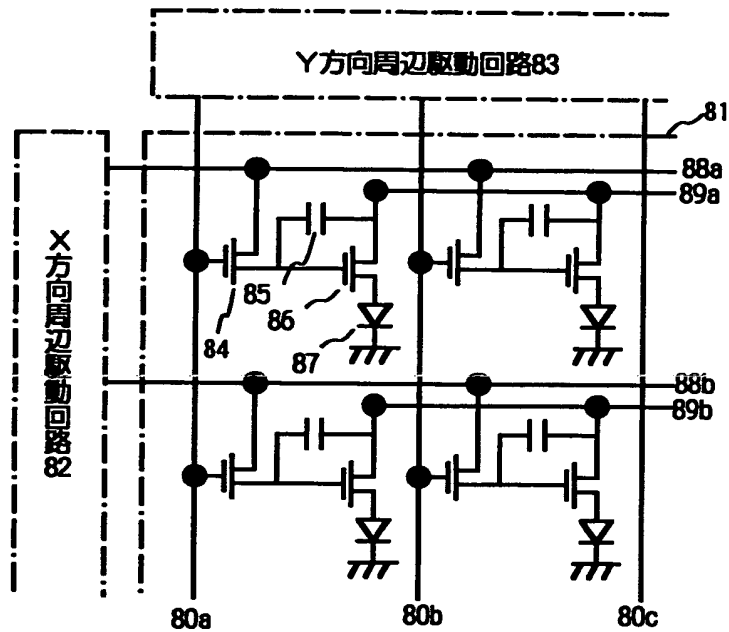
【図 1 2】



- アクティブマトリクス基板
 1000 : ガラス基板
 1001 : 画素マトリクス回路
 1002 : 走査線駆動回路, 1003 : 信号線駆動回路
 1031 : FPC 1032, 1033 : ICチップ
 1010 : 画素TFT
 1030 : 走査線 1040 : 信号線
 1060 : 画素電極 1070 : 付加容量
 1080 : 対向基板

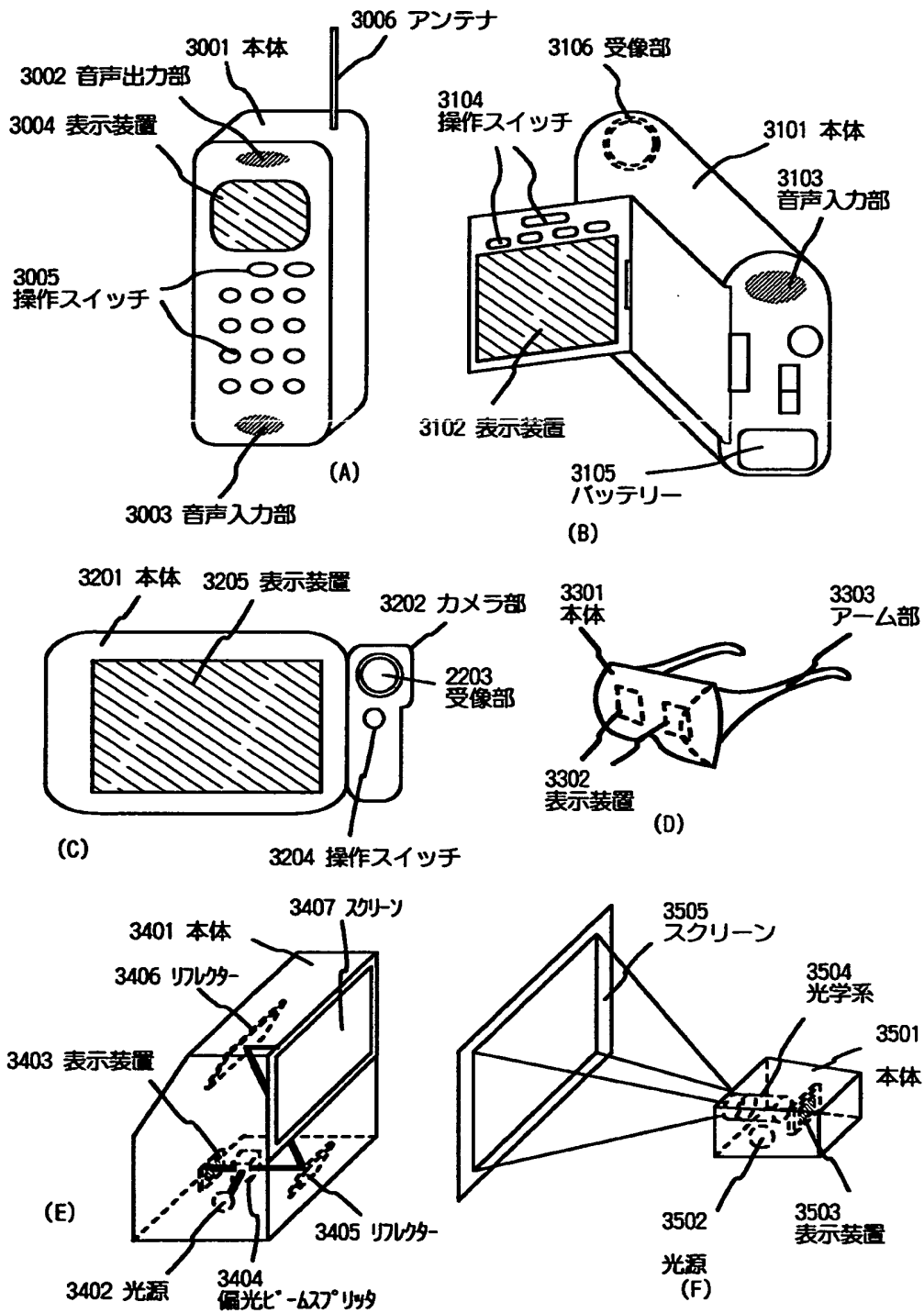
【図 13】

ELパネル回路図



81:表示領域 82:X方向周辺駆動回路 83:Y方向周辺駆動回路
 84:スイッチ用TFT 85:コンデンサ 86:電流制御用TFT 87:有機EL素子
 88a, 88b:X方向信号線 89a, 89b:電源線 80a, 80b, 80c:Y方向信号線

【図 14】



【書類名】 要約書

【要約】

【課題】 T F Tを用いた半導体装置において、T F T中の汚染不純物を低減し、信頼性のあるT F Tを得ることを課題とする。

【解決手段】 T F Tの被膜界面に存在する不純物 1 5 5 をフッ素を含有する溶液を用いて除去することにより、信頼性のあるT F Tを得ることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所